

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.

01EN034

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-129759

(43)Date of publication of application : 16.05.1997

(51)Int.Cl. H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 G11C 16/02  
 G11C 16/04  
 H01L 27/115

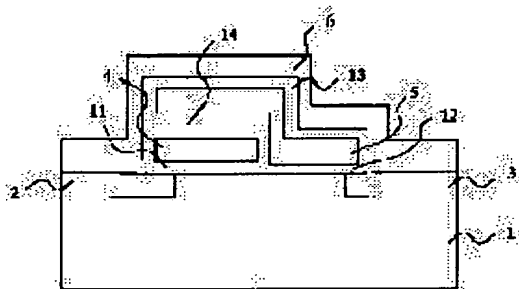
(21)Application number : 07-283287 (71)Applicant : RICOH CO LTD

(22)Date of filing : 31.10.1995 (72)Inventor : ABE SHUYA

**(54) SEMICONDUCTOR NONVOLATILE MEMORY****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To increase the coupling rate and lower the operating voltage of an element, without increasing the element area or lowering the read speed by extending the part of a floating gate so overlap on a selection gate through an insulation film and forming a control gate through the insulation film on the floating gate.

**SOLUTION:** Two channel forming regions exist between a source and drain regions 2 and 3. A selection gate 4 is formed through a gate insulation film 11 on the region at the source side and floating gate 5 is formed through a tunnel oxide film 12 on the region at the drain side. On the floating gate 5 a control gate 6 is formed through an inter-poly insulation film 13 such that part of the gate 5 overlaps the gate 4 through the film 14. This allows the overlapped area of the electrodes 5 and 6 to be increased without increasing the cell area, thereby lowering the operating voltage.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平9-129759

(43)公開日 平成9年(1997)5月16日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H01L	21/8247		H01L 29/78	371
	29/788		G11C 17/00	307D
	29/792		H01L 27/10	434
G11C	16/02			
	16/04			

審査請求 未請求 請求項の数8 OL (全12頁) 最終頁に続く

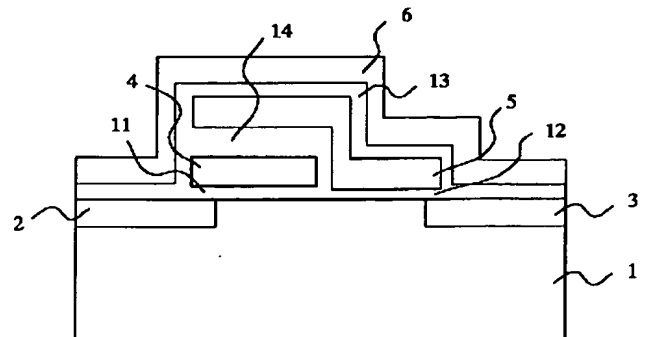
(21)出願番号	特願平7-283287	(71)出願人	000006747 株式会社リコー
(22)出願日	平成7年(1995)10月31日	(72)発明者	阿部 修也 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		(74)代理人	弁理士 鳥居 洋

(54)【発明の名称】 半導体不揮発性メモリ

(57)【要約】

【課題】 フラッシュメモリ等のEEPROMにおいて、素子面積の増大や読み出し速度の低下、インターポリ絶縁膜の薄層化による信頼性低下などの問題を招くことなく、カップリング比を増大させ、素子の動作電圧を下げることを目的とする。

【解決手段】 ソース領域2とドレイン領域3との間に2つのチャネル領域を有する半導体不揮発性メモリであって、ソース領域側のチャネル領域上にゲート絶縁膜11を介して設けられた選択ゲート4と、ドレイン領域側のチャネル領域上にゲート絶縁膜12を介して配置されるとともに少なくともその一部が絶縁膜14を介して選択ゲート4に重なるように延在して設けられた浮遊ゲート5と、浮遊ゲート5上に形成された絶縁膜13を介して配置される制御ゲート6と、を有する。



## 【特許請求の範囲】

【請求項1】 ソース領域とドレイン領域との間に2つのチャンネル領域を有する半導体不揮発性メモリであって、ソース領域側のチャンネル領域上にゲート絶縁膜を介して設けられた選択ゲートと、ドレイン領域側のチャンネル領域上にゲート絶縁膜を介して配置されるとともに少なくともその一部が絶縁膜を介して前記選択ゲートに重なるように延在して設けられた浮遊ゲートと、前記浮遊ゲート上に形成された絶縁膜を介して設けられた制御ゲートと、を有することを特徴とする半導体不揮発性メモリ。

【請求項2】 前記制御ゲートと浮遊ゲートとの重なる領域の面積を浮遊ゲートとチャンネル領域の重なる領域の面積より大きくしたことを特徴とする請求項1に記載の半導体不揮発性メモリ。

【請求項3】 前記選択ゲートの下ゲート絶縁膜の膜厚と前記浮遊ゲートの下ゲート絶縁膜の膜厚とが異なることを特徴とする請求項1または2に記載の半導体不揮発性メモリ。

【請求項4】 前記ソース領域及びドレイン領域上の絶縁膜の $\text{SiO}_2$ 換算の実効的膜厚が前記浮遊ゲートとドレイン領域側のチャンネル領域間のゲート絶縁膜の $\text{SiO}_2$ 換算の実効的膜厚より厚く形成されていることを特徴とする請求項1ないし3のいずれかに記載の半導体不揮発性メモリ。

【請求項5】 前記選択ゲート上の絶縁膜の $\text{SiO}_2$ 換算の実効的膜厚は、選択ゲート下のゲート絶縁膜、浮遊ゲート下のゲート絶縁膜及び浮遊ゲートと制御ゲートの間の絶縁膜の $\text{SiO}_2$ 換算の実効的膜厚よりも厚く形成したことを特徴とする請求項1ないし4のいずれかに記載の半導体不揮発性メモリ。

【請求項6】 前記浮遊ゲートへの電子の注入をチャンネルから行い、浮遊ゲートからの電子の放出をドレイン領域に行くことを特徴とする請求項1ないし5のいずれかに記載の半導体不揮発性メモリ。

【請求項7】 請求項6に記載の半導体不揮発性メモリを2個以上アレイ状に配置した半導体不揮発性メモリであって、制御ゲートの電圧を $V_{cg}$ 、選択ゲートの電圧を $V_{sg}$ 、ドレインの電圧を $V_d$ 、ソースの電圧を $V_s$ 、基板またはウェルの電圧を $V_w$ としたとき、浮遊ゲートへの電子の注入を、 $V_{cg} > 0$ 、 $V_{sg} \leq 0$ 、 $V_d \leq 0$ 、 $V_s \geq V_d$ または開放、 $V_w = V_d$ の条件で行い、浮遊ゲートからの電子の放出を、 $V_{cg} \leq 0$ 、 $V_{sg} \leq 0$ 、 $V_d \geq 0$ 、 $V_s = 0$ または開放、 $V_w = 0$ または開放の条件で、それぞれ行うことを特徴とする半導体不揮発性メモリ。

【請求項8】 複数のメモリセルがマトリクス状に接続された半導体不揮発性メモリアレイ装置であって、前記各メモリセルは請求項1に記載のメモリで構成され、チ

ャネル幅方向の複数のメモリセルのソース領域及びドレイン領域はその方向に延びた拡散層で形成された共通なソースライン及びドレインラインで接続されるとともに、選択ゲートがソースライン及びドレインラインと平行にライン状に延びその方向の複数のメモリセルで共通に用いられ、制御ゲートが前記選択ゲートと概ね直交したチャンネル長方向にライン状に延び、その方向の複数のメモリセルで共通になっていることを特徴とする半導体不揮発性メモリアレイ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 この発明は、浮遊ゲートを有し、電氣的に書き換え及び消去が可能な半導体不揮発性メモリに関する。

## 【0002】

【従来の技術】 電氣的に書き換え及び消去が可能な半導体不揮発性メモリ（以下、EEPROMという。）のなかでフラッシュEEPROM（以下、フラッシュメモリという。）が注目されている。

【0003】 従来のEEPROMは一般に単ビット消去を基本にしているのに対し、フラッシュメモリはブロック単位での消去を前提としている。このため、フラッシュメモリは、従来のEEPROMに比べると使いにくい点があるが、1ビットの単素子化やブロック消去等の採用により、DRAM（ダイナミック・ランダム・アクセス・メモリ）に匹敵あるいはそれ以上の集積度が期待できる次世代のメモリ（ROM）として注目されており、その市場の大きさは計り知れない。

【0004】 フラッシュメモリに関して、これまでに種々の構造、方式が提案されている。この中で、最も一般的な構造のものが図11ないし図13に示すいわゆるETOX型と呼ばれるものである。図11は平面図、図12は図11のA-A'線断面図、図13は図11のB-B'線断面図である。

【0005】 このETOX型フラッシュメモリは、図12及び図13に示すように、基板1またはウェルに設けられたソース2とドレイン3の間のチャンネル形成領域上にゲート絶縁膜10を介して浮遊ゲート5が設けられ、更にその浮遊ゲート5の上にインターポリ絶縁膜13を介して制御ゲート6が設けられている。そして、各メモリセルはフィールド酸化膜15で素子分離されているが、制御ゲート6は隣接するメモリセル同士で互いにつながっており、ワードラインとなっている。

【0006】 一般に、浮遊ゲート型の不揮発性メモリでは、絶縁体で囲まれた浮遊ゲートの中に電荷を保持し、制御ゲートにバイアスをかけたときにソース・ドレイン間にチャンネルが形成される閾値電圧が浮遊ゲート中の電荷量により変化することを利用してデータの記憶を行っているが、書き込み、消去方法が各方式によって異なっている。

【0007】上述したETOX型メモリセルの場合、データの書き込みはチャンネルに電流を流したときにチャンネルのドレイン側で発生したホットエレクトロンを浮遊ゲート5に注入することにより行っている。また、データの消去は浮遊ゲート5とソース2間に高電界をかけたときにゲート絶縁膜中をトンネルして流れる電流(F-N電流)により、浮遊ゲート5に保持された電子をソース2に引き抜くことにより行っている。

【0008】このETOX型メモリセルの特徴は、構造が簡単であることであるが、欠点として、書き込みをドレインサイドのホットエレクトロンで行っているため、チャンネル電流に対する浮遊ゲートに注入される電流の比、即ち、書き込み効率が低く、そのため単一電源化も困難であること、また、消去については、選択トランジスタを持たない構造のため、消去後の閾値のばらつきを非常に狭い範囲に収める必要があり、プロセス的、回路的に非常に高度なものが要求される。

【0009】次に、このETOX型メモリセルをアレイ状に並べた様子を図11に示す。各セルはフィールド酸化膜15で素子分離され、ソースはチャンネル幅方向にのびた拡散層で形成されたソースライン22で接続され、共通の電位となっている。また、制御ゲート6もソースライン22と平行にライン状に延び、この方向のセルで共通なワードラインとなっている。さらにドレインはコンタクトホール21を介して金属電極24に接続され、この金属電極はワードラインと直行してライン状に延び、この方向のセルに共通なビットラインとなっている。

【0010】そして、アレイ状に並べたセルのうち、特定のセルの選択は、これらのワードラインとビットラインをマトリックス選択することにより行われる。

【0011】上記のように、ETOX型のメモリセルにおいては、ドレインにコンタクトホールが必要なため、この部分で面積を要し、セルの構造が簡単な割には素子面積が大きくなってしまふという欠点もあった。

【0012】上記の欠点を解決するための方法の一つとして、米国特許第5,280,446号に提案されている構造・方式がある。この方式のメモリセルの構造は、図14に示すように、ソース2とドレイン3間のチャンネル領域が2つの領域で構成されており、ソース側のチャンネル領域上には、ゲート絶縁膜11を介して選択ゲート4が形成され、ドレイン側のチャンネル領域上にはゲート絶縁膜12を介して浮遊ゲート5が形成されている。さらに、浮遊ゲート5上にはインターポリ絶縁膜13を挟んで制御ゲート6が形成されている。また、選択ゲート4は絶縁膜14を挟んで制御ゲート6上を乗り越え、後述するように、チャンネル長方向の隣接するメモリセルの選択ゲートとつながっている。

【0013】このような構造をとることにより、書き込みについてはソース側の基板チャンネル領域から浮遊ゲート

ト電極へのチャンネルホットエレクトロン注入、いわゆるSSI(Source Side Injection)方式が可能となっており、ドレイン側のチャンネルホットエレクトロン注入に比べ高い電子注入効率を実現している。また、消去に関しては、選択ゲートを有することにより、オーバーレースの問題を解決している。

【0014】図15に、この方式のメモリセルをアレイ状に配置した状態を示す。各メモリセルのドレイン側のチャンネル領域上は、ゲート絶縁膜を介して各セルの浮遊ゲート5で覆われており、また、インターポリ絶縁膜を介して浮遊ゲートを覆うように形成された制御ゲート6はチャンネル幅方向、すなわち、ソースからドレインに向かう方向に垂直な方向へライン状に延び、複数のセルで共通になっている。また、その方向の隣り合うセルはフィールド絶縁膜15によって素子分離されている。

【0015】一方、各メモリセルのソース側のチャンネル領域をゲート絶縁膜を介して覆う選択ゲート4は、制御ゲート6状を乗り越えてチャンネル長方向、すなわち、ソースからドレインに向かう方向へライン状に延び、その方向の複数のセルで共通になっている。このことにより、制御ゲート6と選択ゲート4のマトリックス選択によりある特定のセルが選択可能となり、チャンネル幅方向でのドレインの共通化が可能となり、ドレインライン23を拡散層で形成することにより、各セルごとのコンタクトホールが不要となって、素子面積を小さくすることができる。

#### 【0016】

【発明が解決しようとする課題】ところで、制御ゲートー浮遊ゲートの静電容量と浮遊ゲートーチャンネル(又は、ソース、ドレイン)の静電容量の比(以下、単に、カップリング比という。)を大きくすることは、フラッシュメモリの動作電圧を下げるために重要である。上記した米国特許第5,280,446号による構造では、カップリング比を大きくするためには、浮遊ゲートの面積とチャンネルの面積の比を大きくするか、またはトンネル酸化膜厚とインターポリ絶縁膜厚の比を大きくする必要がある。

【0017】前者の方法の場合は、浮遊ゲートの面積を大きくするために、例えば、浮遊ゲート幅(Wfg)を大きくすれば素子面積の増大を招き、また、チャンネル面積を小さくするために、例えば、チャンネル幅(Wc)を小さくすればセル電流が小さくなり読み出し速度の低下を招く、さらに、微細加工の点でも厳しくなるという問題がある。

【0018】また、後者の方法の場合は、トンネル酸化膜厚を厚くすると、かえって、消去電圧は高くなってしまい、インターポリ絶縁膜の厚さを薄くすることは信頼性の点から困難であるという問題がある。

【0019】この発明は上述した従来の問題点に鑑みながら、電氣的に書き換え及び消去が可能な

フラッシュメモリ等のEEPROMにおいて、素子面積の増大や読み出し速度の低下、インターポリ絶縁膜の薄層化による信頼性低下などの問題を招くことなく、カップリング比を増大させ、素子の動作電圧を下げることを第1の目的とする。

【0020】また、上記の米国特許第5,280,446号の方式では、浮遊ゲートへの電子の注入にSSI方式を用いている。これは、従来から用いられているドレイン近傍領域でのホットエレクトロン注入法に比べ、高い注入効率が得られ、このことによって低消費電力化を実現している。しかし、SSI方式でも注入効率は数%以下であり、100%とすることはできない。このため、昇圧回路等の周辺回路への負担が大きく、このことがチップ面積の増加を招き、結果的に低コスト化の妨げになっている。

【0021】この注入効率をさらに向上させる方式として、FNトンネリング効果によって、電子の注入を行う方式がある。この方式では通常電子の注入は、制御ゲートに正バイアス、ウェルまたは基板をゼロまたは負バイアスとし、同一の制御ゲート上の素子を一括で電子の注入を行い、電子の放出を制御ゲートを負バイアス、ドレインを正バイアスとし、各単素子を制御ゲートドレインによってマトリックス的に選択して行う。しかしながら、上記の米国特許第5,280,446号の方式では、制御ゲートとドレイン線は、同一の方向に形成されているため、制御ゲートドレインによって素子をマトリックス状に選択することはできない。

【0022】この発明においては、浮遊ゲートへの電子の注入をFNトンネリングを用いることができる構造とすることを第2の目的とする。

【0023】

【課題を解決するための手段】この発明の半導体不揮発性メモリは、ソース領域とドレイン領域との間に2つのチャンネル領域を有する半導体不揮発性メモリであって、ソース領域側のチャンネル領域上にゲート絶縁膜を介して設けられた選択ゲートと、ドレイン領域側のチャンネル領域上にゲート絶縁膜を介して配置されるとともに少なくともその一部が絶縁膜を介して前記選択ゲートに重なるように延在して設けられた浮遊ゲートと、前記浮遊ゲート上に形成された絶縁膜を介して設けられた制御ゲートと、を有することを特徴とする。

【0024】この発明は、上記構造により、前記制御ゲートと浮遊ゲートとの重なる領域の面積が浮遊ゲートとチャンネル領域の重なる領域の面積より大きくなり、セル面積の増大を招くことなく浮遊ゲートと制御ゲートの重なり面積を増加させることができる。このため、浮遊ゲートと制御ゲート間の結合容量が増大し、動作電圧の低電圧化が可能となる。そして、動作電圧の低電圧化により、フィールド酸化膜の薄層化による分離領域の縮小やチャージポンプ回路の縮小化を可能とし、チップ面積の

縮小も可能となる。

【0025】更に、この発明は、前記選択ゲートの下のゲート絶縁膜の膜厚と前記浮遊ゲートの下のゲート絶縁膜の膜厚とが異なるように構成する。そして、浮遊ゲートの下のゲート絶縁膜のSiO<sub>2</sub>換算の実効的膜厚を選択ゲートの下のゲート絶縁膜のSiO<sub>2</sub>換算の実効的膜厚より薄くすればよい。

【0026】このように、浮遊ゲートの下のゲート絶縁膜のSiO<sub>2</sub>換算の実効的膜厚を選択ゲートの下のゲート絶縁膜のSiO<sub>2</sub>換算の実効的膜厚をより薄くすることで、浮遊ゲートへの電荷の注入または放出が良好に行える。

【0027】また、この発明は、ソース領域及びドレイン領域上の絶縁膜のSiO<sub>2</sub>換算の実効的膜厚が前記浮遊ゲートとドレイン領域側のチャンネル領域間のゲート絶縁膜のSiO<sub>2</sub>換算の実効的膜厚より厚く形成すると良い。

【0028】上記のように構成することで、制御ゲートにバイアスをかけ、浮遊ゲートからドレイン領域に電荷を放出する際に、制御ゲートからドレイン領域にチャージが抜けるのを防止できる。この結果、浮遊ゲートの電荷の放出が良好に行える。

【0029】更に、この発明は、選択ゲート上の絶縁膜のSiO<sub>2</sub>換算の実効的膜厚を、選択ゲート下のゲート絶縁膜、浮遊ゲート下のゲート絶縁膜及び浮遊ゲートと制御ゲートの間の絶縁膜のSiO<sub>2</sub>換算の実効的膜厚よりも厚く形成するように構成すればよい。

【0030】上記のように構成することで、浮遊ゲートに注入されている電荷が選択ゲートへ抜けるのを防止できる。

【0031】また、この発明は、浮遊ゲートへの電子の注入をチャンネルから行い、浮遊ゲートからの電子の放出をドレイン領域に行うように構成することができる。

【0032】更に、この発明は、上記した半導体不揮発性メモリを2個以上アレイ状に配置した半導体不揮発性メモリであって、制御ゲートの電圧をV<sub>cg</sub>、選択ゲートの電圧をV<sub>sg</sub>、ドレインの電圧をV<sub>d</sub>、ソースの電圧をV<sub>s</sub>、基板またはウェルの電圧をV<sub>w</sub>としたとき、浮遊ゲートへの電子の注入を、V<sub>cg</sub>>0、V<sub>sg</sub>≤0、V<sub>d</sub>≤0、V<sub>s</sub>≥V<sub>d</sub>または開放、V<sub>w</sub>=V<sub>d</sub>の条件で行い、浮遊ゲートからの電子の放出を、V<sub>cg</sub>≤0、V<sub>sg</sub>≤0、V<sub>d</sub>≥0、V<sub>s</sub>=0または開放、V<sub>w</sub>=0または開放の条件で、それぞれ行うことを特徴とする。

【0033】更に、この発明は、複数のメモリセルがマトリックス状に接続された半導体不揮発性メモリアレイ装置であって、各メモリセルを上記半導体不揮発性メモリで構成し、チャンネル幅方向の複数のメモリセルのソース領域及びドレイン領域はその方向に延びた拡散層で形成された共通なソースライン及びドレインラインで接続

されるとともに、選択ゲートがソースライン及びドレインラインと平行にライン状に延びその方向の複数のメモリセルで共通に用いられ、制御ゲートが前記選択ゲートと概ね直交したチャンネル長方向にライン状に延び、その方向の複数のメモリセルで共通になっていることを特徴とする。

【0034】上記のように構成することで、選択ゲートと制御ゲートをマトリックス選択することにより、特定のセルの選択が可能となり、チャンネル幅方向の複数のセルのドレインを拡散層で形成されたドレインラインでつ

なぐことが可能となり、ドレインコンタクトが不要となり、素子面積の縮小が図れる。

【0035】さらに、上記のような素子構成としたとき、制御ゲートとドレイン線は直交する方向に形成される。このため、制御ゲートとドレイン線によって、マトリックス的に各素子を選択することができ、FNトンネリングによる浮遊ゲートへの電子の注入が可能となる。

【0036】

【発明の実施の形態】以下、この発明の実施の形態につき図面を参照して説明する。

【0037】図1は、この発明の一実施の形態を示す断面図である。p型半導体基板1に形成されたn型のソース領域2及びドレイン領域3間のチャンネル領域上のソース側には熱酸化により形成された膜厚15nm程度のゲート絶縁膜11が設けられ、このゲート絶縁膜11上には膜厚100nm程度のリンドープされたポリシリコンからなる選択ゲート4形成されている。

【0038】一方、ドレイン側のチャンネル領域上には熱酸化にて形成された膜厚9nm程度のトンネル酸化膜となるゲート絶縁膜12が設けられている。そして、このゲート絶縁膜12上に膜厚100nm程度のリンドープポリシリコンからなる浮遊ゲート5が設けられている。この浮遊ゲート5の一部分は膜厚150nmの高温のCVD法で形成されたHTO膜からなる絶縁膜14を挟んで選択ゲート4の上にまで延びて形成されている。この選択ゲート4と浮遊ゲート5との間の絶縁膜14は、浮遊ゲート5に注入された電荷が制御ゲート4側に抜けな

\* 抜けない耐圧を有するものであればよく、例えば、シリコン窒化膜を含む絶縁膜であれば、HTO膜より薄い膜でも構成できる。即ち、この絶縁膜14は、浮遊ゲート5に注入された電荷が制御ゲート4側に抜けない耐圧になる厚さに構成すればよく、その材料については、膜厚、プロセス等を考慮して最適なものを選択すればよい。

【0039】一方、この実施の形態では、浮遊ゲート5の下

のゲート絶縁膜12のSiO<sub>2</sub>換算の実効的膜厚を選択ゲート4の下

のゲート絶縁膜11のSiO<sub>2</sub>換算の実効的膜厚をより薄くし、浮遊ゲート5への電荷の注入または放出を良好に行うように構成している。

【0040】更に、ソース領域2、ドレイン領域3及び浮遊ゲート6の上にはインターポリ絶縁膜13を介して、膜厚100nm程度のリンドープポリシリコンからなる制御ゲート6が形成されている。この実施の形態では、インターポリ絶縁膜13としては、ポリシリコンを熱酸化して形成された膜厚10nm程度の酸化膜上に減圧CVD法にて形成した膜厚12nm程度のシリコン窒化膜を堆積し、更にそのシリコン窒化膜表面を熱酸化して5nm程度の酸化膜を形成したSiO<sub>2</sub>/Si<sub>3</sub>N<sub>4</sub>/SiO<sub>2</sub>の3層からなるONO膜を用いた。

【0041】また、この実施の形態では、ソース領域2及びドレイン領域3上の絶縁膜のSiO<sub>2</sub>換算の実効的膜厚を浮遊ゲート5とドレイン領域側のチャンネル領域間のゲート絶縁膜11のSiO<sub>2</sub>換算の実効的膜厚より厚く形成し、制御ゲート6にバイアスをかけ、浮遊ゲート5からドレイン領域3に電荷を放出する際に、制御ゲート6からドレイン領域3にチャージが抜けるを防止している。この結果、浮遊ゲート5の電荷の放出が良好に行える。

【0042】このような構造とすることにより、図14に示すような従来の選択ゲート型半導体不揮発性メモリに比べ制御ゲート4と浮遊ゲート5と間の結合容量は約2倍なる。

【0043】また、図14に示すメモリセルの動作電圧と、図1に示すこの発明の実施の形態におけるメモリセルの動作電圧を測定した結果を表1及び表2に示す。

【0044】

【表1】

10

20

30

40



## 従来のメモリセル

	Vd	Vcg	Vsg	Vs
書き込み	5V	12V	2V	0V
消去	5V	-11V	0V	open
読み出し	0V	5V	5V	2V

【0045】

【表2】

## この発明のメモリセル

	Vd	Vcg	Vsg	Vs
書き込み	5V	8V	2V	0V
消去	5V	-7V	0V	open
読み出し	0V	3V	5V	2V

【0046】表1及び表2から明らかなように、この発明によれば動作電圧の低電圧化を図ることができる。従って、この発明によれば、動作電圧の低電圧化により、フィールド酸化膜の薄層化による分離領域の縮小やチャージポンプ回路の縮小化が可能となる。

【0047】図1に示したこの発明の実施の形態では、選択ゲート4上に絶縁膜14を挟んで浮遊ゲート5の一部が延びその端部が選択ゲート4上の端部と一致するように構成されているが、図2に示すように、浮遊ゲート5の端部が選択ゲート4の端部よりも短く形成しても良い。このように、形成しても図14に示す従来のメモリセルに比べ、制御ゲート4と浮遊ゲート5と間の結合容量を十分に大きくすることができ、カップリング比を大きくとることができる。更に、選択ゲート4と浮遊ゲート5と間の結合容量をより大きくするためには、図3に示すように、選択ゲート4を完全に浮遊ゲート5で覆い、浮遊ゲート5の端部がソース領域2の上まで位置するように構成することもできる。

【0048】なお、制御ゲート6のステップカバレッジの点から考慮すると、基板1との段差はあまり大きくない方が好ましく、図1より、図2または図3の構造の方が好ましい。

【0049】前記の各実施の形態の例においては、周辺回路のトランジスタの形成プロセスとの整合性より選択ゲート4の下ゲート絶縁膜11の膜厚と浮遊ゲート5下のゲート絶縁膜12の膜厚が異なっているが、可能であれば同一の膜厚としてもかまわない。また、ここにあげた各種の膜の膜厚もこれらに限ったものではない。

【0050】更に、各ゲートにはリンドーブのポリシリ

コンを用いたが、代わりに、ヒ素をドーブしても良い。また、選択ゲート4および制御ゲート5はポリシリコンのみとしたが、ポリシリコンとタングステンシリサイドの積層のようないわゆるポリサイド構造としても良い。

【0051】また、上記各実施の形態においては、p型シリコン半導体基板にソース、ドレイン領域を形成しているが、pウェル領域を用いる構成のものにおいても同様に形成することができることはいうまでもない。

【0052】次に、上記の実施の形態のメモリセルをマトリックス状に接続した例を図4及び図5に従い説明する。図4は、この発明の半導体不揮発性メモリをアレイ状に並べたときのチャネル長方向の断面図であり、図5は同平面図である。

【0053】チャネル長方向に隣接したセルどうしは、ソース領域2、またはドレイン領域3を共有している。また、制御ゲート6はチャネル方向の複数のセルで共通となっている。そして、選択ゲート4はチャネル幅方向にライン状に延びていて、その方向の複数のセルで共通となっている。チャネル幅方向の隣接するセルのソース領域2およびドレイン領域3は、拡散層で形成されたソースライン22及びドレインライン23でそれぞれつながれており、また、チャネル部分はフィールド酸化膜15にて分離されている。

【0054】アレイ中のある特定ビットの選択は直交する選択ゲート4と制御ゲート6をマトリックス選択することによりおこなうことが可能となる。

【0055】このような配置により、各セルごとのドレインのコンタクトホールが不要となり、素子面積の縮小化が可能となる。ただし、拡散層のみで全セルをつなぐ

30

40

50

ことは抵抗が高くなり動作速度の点で不利であるので、周知のごとく数ビット例えば16ビットごとに金属で裏打ちしても良い。もちろん、何ビットごとに金属で裏打ちするかは前記のビット数にかぎったわけではない。また、ソースライン及びドレインラインの拡散層だけでなく、選択ゲート4、制御ゲート6のポリシリコンも金属による裏打ちもおこなってもかまわない。

【0056】更に、分離のためのフィールド酸化膜もこの実施例では、島状になっているが、チャネル長方向（制御ゲートののびている方向）に長くのびるライン状の形状でもかまわない。この場合は、ソースおよびドレインラインにはあらかじめ不純物をドーピングしたのちフィールド酸化膜を形成するか、また高エネルギー注入によりフィールド酸化膜ごとに不純物を注入するかすればよい。

【0057】次に、この発明の半導体不揮発性メモリを実現するための製造方法の一実施例を図6、図7に示す。図6はこの製造方法を工程別に示す断面図、図7は同平面図である。

【0058】まず、シリコン基板1上に素子分離のためのフィールド酸化膜15を選択酸化法により形成する（図7a参照）。

【0059】次に、熱酸化法により15nm程度のゲート絶縁膜11を形成後、選択ゲート4となるポリシリコン（以下、第1ポリシリコンという。）を減圧CVDにより約100nm堆積し、リンをデポジションすることにより低抵抗化する。続いて、高温の減圧CVD法によりシリコン酸化膜（HTO膜）からなる絶縁膜14を約150nm堆積する。この絶縁膜14は、シリコン酸化膜以外に、シリコン窒化膜、シリコン酸化膜とシリコン窒化膜との複合膜で形成しても良い。つぎに、フォトリソ・エッチングにより絶縁膜14および第1ポリシリコンを同一マスクでパターンニングする。このパターンはドレイン側は最終の仕上がり位置に、ソース側は最終の仕上がり位置よりも外側になるようにする（図6a、図7b参照）。

【0060】その後、シリコン酸化膜の堆積及びエッチバックにより絶縁膜サイドウォール18を形成した後、膜厚9nm程度のゲート絶縁膜12を熱酸化により形成し、浮遊ゲート5となるポリシリコン膜（以下、第2ポリシリコンという。）を減圧CVD法により約100nm堆積し、さらにリンをデポジションすることにより低抵抗化する。さらに、浮遊ゲート5と制御ゲート6間の絶縁膜13の1部を形成するために第2ポリシリコンの表面を熱酸化することにより、酸化シリコン膜を約10nm形成した後、減圧CVD法によりシリコン窒化膜を約10nm堆積する（図6b）。

【0061】次に、フォトリソリソングラフィーによりレジストマスク31を形成した後、絶縁膜13、第2ポリシリコン、絶縁膜14および第1ポリシリコンを同一マ

スクでエッチングする。このとき、シリコン酸化膜からなる絶縁膜14と第1ポリシリコンのエッチング時に、もともとこれらの無かった部分でレジストの開口部分はゲート絶縁膜12がエッチングされ、続いてシリコン基板1が掘られてしまう。その後、ソース・ドレイン領域2、3を形成するために、Asイオンをエネルギー50KeV、ドーズ量 $6 \times 10^{15} / \text{cm}^2$ で注入し、ソース領域2、ドレイン領域3を形成する（図6c、図7c参照）。

【0062】続いて、レジスト31を除去した後、例えばウェット雰囲気中で950℃、20分程度の熱酸化を行うことにより、浮遊ゲート5上では先に形成したシリコン窒化膜の表面が4nmほど酸化され、窒化膜自体の膜厚はその分減って $\text{SiO}_2$  (4nm) /  $\text{Si}_3\text{N}_4$  (6nm) /  $\text{SiO}_2$  (10nm) からなるインターポリ絶縁膜13が形成される。また、このとき、浮遊ゲート5と選択ゲート4の側面は酸化され酸化膜19が形成され、ソース領域2及びドレイン領域3上も酸化され約80nmの酸化膜16、17が形成される。続いて、制御ゲート6となるポリシリコン（以下、第3ポリシリコンという）を堆積し、リンをデポジションすることにより低抵抗化する。その後、フォトリソングラフィーにより制御ゲート6のパターンのレジストマスクを形成した後、第3ポリシリコン、インターポリ絶縁膜13、浮遊ゲート5を同一マスクでエッチングすることにより、半導体不揮発性メモリのセル部分が完成する（図6d）。

【0063】以上の実施の形態の例では、ポリシリコンのドーピングはリンをデポジションすることによって行ったが、イオン注入によりドーピングしても良い。また、ドーパントはリンのみでなくヒ素を用いてもかまわない。

【0064】また、選択ゲート上の絶縁膜14にシリコン酸化膜を用いる代わりにシリコン窒化膜を用いても良い。この場合には図6cに示すようなレジストマスク31を形成した後、絶縁膜13、第2ポリシリコン、絶縁膜14および第1ポリシリコンを同一マスクでエッチングする工程で、窒化膜およびポリシリコンのエッチレートが酸化膜に対して選択比が十分とれていれば、窒化膜14と第1ポリシリコンのエッチング時に、もともとこれらの無い部分でかつレジストの開口部分でゲート絶縁膜がエッチングのマスクとなり、シリコン基板1が掘られて段差が形成されることがさけられる。

【0065】上記の実施の形態では、絶縁膜14と第1ポリシリコンのエッチング時に、もともとこれらの無い部分でかつレジストの開口部分でゲート絶縁膜がエッチングのマスクとなり、シリコン基板1の表面が掘られ段差が形成されることがある。このように、段差ができると、浮遊ゲート6からドレイン領域3へ電荷を放出する際の効率が悪くなる。シリコン基板1の表面の掘込みを防止したこの発明の製造方法の他の実施例につき図8及

び図9に従い説明する。図8及び図9はこの製造方法を工程別に示す断面図である。

【0066】前述の実施例と同様に、まず、シリコン基板1上に素子分離のためのフィールド酸化膜を選択酸化法により形成する。次に、熱酸化法により15nm程度のゲート絶縁膜11を形成後、選択ゲート4となる第1ポリシリコンを減圧CVDにより約100nm堆積し、リンをデポジションすることにより低抵抗化する。続いて、減圧CVD法によりシリコン酸化膜（HTO）からなる絶縁膜14を約150nm堆積した後、フォトリソ・エッチングにより絶縁膜14および第1ポリシリコンを同一マスクでパターンニングする。このパターンはドレイン側は最終の仕上がり位置に、ソース側は最終の仕上がり位置よりも外側になるようにする（図8a）。

【0067】次に、シリコン酸化膜もしくはシリコン酸化膜およびシリコン窒化膜の積層膜の堆積・エッチバックにより絶縁膜サイドウォール18を形成した後、9nm程度のゲート絶縁膜12を熱酸化により形成し、浮遊ゲート5となる第2ポリシリコン膜を減圧CVD法により約100nm堆積し、そして、リンをデポジションすることにより低抵抗化する。さらに、浮遊ゲート5と制御ゲート6間の絶縁膜13の1部を形成するために第2ポリシリコンの表面を熱酸化することにより約10nmのシリコン酸化膜を形成した後、減圧CVD法によりシリコン窒化膜を約10nm堆積する（図8b）。

【0068】続いて、フォトリソリソングラフィーによりレジストマスク31を形成した後、絶縁膜13および第2ポリシリコンを同一マスクでエッチングした後、ドレイン領域となるところに、Asイオンをエネルギー50KeV、ドーズ量 $6 \times 10^{15} / \text{cm}^2$ で注入する（図8c）。

【0069】次に、先に形成したレジストマスク31を残したまま、先のエッチング工程でゲート絶縁膜12が露出した部分を少なくとも覆うように重ねてレジストマスク32を形成する。その後、シリコン酸化膜からなる絶縁膜14と第1ポリシリコンをエッチングすることにより、図7で示した先の実施例でおこった基板の掘れを無くすることができる。その後ソース領域2を形成するために、Asイオンをエネルギー50KeV、ドーズ量 $6 \times 10^{15} / \text{cm}^2$ で注入する（図9a）

【0070】その後、レジスト31、32を除去した後、例えばウェット雰囲気中で950℃、20分程度の熱酸化を行うことにより、浮遊ゲート5上では先に形成したシリコン窒化膜の表面が4nmほど酸化され、窒化膜自体の膜厚はその分減って $\text{SiO}_2$ （4nm）/ $\text{Si}_3\text{N}_4$ （6nm）/ $\text{SiO}_2$ （10nm）からなるインターポリ絶縁膜13が形成される。また、このとき、浮遊ゲート5と選択ゲート4の側面は酸化され酸化膜19が形成され、ソース領域2及びドレイン3上も酸化され約80nmの酸化膜16、17が形成される。続いて、制御ゲ

ート6となる第3ポリシリコンを堆積し、リンをデポジションすることにより低抵抗化する。続いて、フォトリソングラフィーにより制御ゲートのパターンのレジストマスクを形成した後、第3ポリシリコン、インターポリ絶縁膜13、浮遊ゲート5を同一マスクでエッチングすることにより、メモリ部分が完成する（図9b）。

【0071】次に、この発明の半導体不揮発性メモリをマトリックス状に配置し浮遊ゲートへの電子の注入をFNトンネリング方式で行なうアレイ装置の回路図を図10に示し、この図10に従い浮遊ゲートへの電子の注入及び開放について説明する。

【0072】図10において、100はこの発明に係る半導体不揮発性メモリセルである。ソース線106の左右には、半導体不揮発性メモリセル100がソース110を共有する形で、ソース線106に対して対称に配置されている。また、ドレイン111は、隣り合った素子で共有化せず配置している。各素子のドレイン、およびソースは、平行な位置関係にある第1番目のドレイン線104、ソース線106、第2番目のドレイン線108によって配線されている。

【0073】各素子の制御ゲート103は、ドレイン線104、108に垂直な制御ゲート線109によって配線される。各素子の選択ゲート101は、ソース線106に対して平行な選択ゲート線105、107によって配線されている。

【0074】次に、浮遊ゲートへ電子の注入および放出の各動作を説明する。

【0075】浮遊ゲート102への電子を注入は、制御ゲート線109を正バイアス、ウェル112をゼロバイアス、ソース線106をゼロバイアス、第1番目のドレイン線104を解放、選択ゲート線105をゼロバイアスとする事によって行う。

【0076】また、浮遊ゲート102からの電子の放出は、制御ゲート線109を負バイアス、ウェル112をゼロバイアス、ソース線106を解放、第1番目のドレイン線104を正バイアス、選択ゲート線105をゼロバイアスとする事によって行う。このような動作を行った場合、浮遊ゲート102からの電子の放出は、単一素子ごとに素子をドレイン線104（108）と制御ゲート線109によってマトリックス的に選択して行うことができるが、浮遊ゲート102への電子を注入は、同一の制御ゲート線109上の素子が一括で行われる。フラッシュメモリにおいては、データの消去は複数のビットが同時に行われるため、本発明においては、浮遊ゲート102からの電子の放出を書き込み、浮遊ゲート102への電子の注入を消去とする。

【0077】次に、書き込み、消去、読み出しの各端子の電圧条件の一例を表3に示す。

【0078】

【表3】

	制御ゲート	選択ゲート	ドレイン	ソース	ウェル
書き込み	- 9	0	+ 3	F	0
消去	1 6	0	0	0	0
読み出し	3	3	2	0	0

【0079】上記のように、それぞれに電位を与えることにより、浮遊ゲートへの電子の注入をFNTトンネリングによって行うことができる半導体不揮発性メモリを得た。

【0080】このように、本発明では、SSI方式よりもさらに電子の注入効率が高いFNTトンネリング方式を用いているために、SSI方式に比べて低消費電力化が可能であり、かつ注入効率が高いため昇圧回路等の周辺回路への負担が小さく、これによって周辺回路の面積を小さくでき、結果的にコストの低減が可能となる。

【0081】

【発明の効果】以上説明したように、この発明によれば、1つのメモリセルには、ソース領域とドレイン領域の間に2つのチャネル形成領域が有り、ソース側のチャネル領域上にはゲート絶縁膜を挟んで選択ゲートが形成され、ドレイン側のチャネル領域上にはトンネル酸化膜を挟んで浮遊ゲートのが形成され、さらに浮遊ゲート上には絶縁膜を挟んで制御ゲートが形成された半導体不揮発性メモリで、浮遊ゲートの一部が絶縁膜をはさんで選択ゲート上にも乗り上げる構造にすることにより、セル面積の増大をまねくことなく浮遊ゲートと制御ゲートの重なり面積を増加させることができる。このため、浮遊ゲートと制御ゲート間の結合容量を増大させることができ、動作電圧の低電圧化可能となる。

【0082】また、この発明においては、前記選択ゲートはチャネル幅方向にライン状にのび、その方向の複数のセルに共通とし、また前記制御ゲートは、選択ゲートと直交したチャネル長方向にライン状にのび、その方向の複数のセルに共通となる構造とすることにより、選択ゲートと制御ゲートをマトリックス選択することにより特定のセルの選択が可能となり、チャネル幅方向の複数のセルのドレインを拡散層で形成された共通のドレインラインでつなぐことができ、ドレインコンタクトが不要になることにより、素子面積の縮小が可能となる。

【0083】更に、この発明では、データの書き込みをFNTトンネリングによって行うことにより、SSI方式よりもさらに電子の注入効率を高くすることができ、SSI方式に比べて低消費電力化が可能であり、かつ注入効率が高いため昇圧回路等の周辺回路への負担が小さく、これによって周辺回路の面積を小さくでき、結果的にコストの低減が可能となる。

【図面の簡単な説明】

【図1】この発明の一実施の形態を示す断面図である。

【図2】この発明の異なる実施の形態を示す断面図である。

【図3】この発明の更に異なる実施の形態を示す断面図である。

【図4】この発明の半導体不揮発性メモリをアレイ状に並べたときのチャネル長方向の断面図である。

【図5】図5の同平面図である。

【図6】この発明を実現するための製造方法の一実施例を工程別に示す断面図である。

【図7】図6の同平面図である。

【図8】この発明を実現するための製造方法の他の実施例を工程別に示す断面図である。

【図9】この発明を実現するための製造方法の他の実施例を工程別に示す断面図である。

【図10】この発明の半導体不揮発性メモリをマトリックス状に配置し、FNTトンネリング方式で電子の注入を行なうアレイ装置の回路図である。

【図11】従来のETOX型フラッシュメモリの構造を示す平面図である。

【図12】図11のA-A'線断面図である。

【図13】図11のB-B'線断面図である。

【図14】従来のSSI方式を用いた半導体不揮発性メモリの構造を示す断面図である。

【図15】従来のSSI方式を用いた半導体不揮発性メモリを示す平面図である。

【符号の説明】

- 1 半導体基板
- 2 ソース領域
- 3 ドレイン領域
- 4 選択ゲート
- 5 浮遊ゲート
- 6 制御ゲート

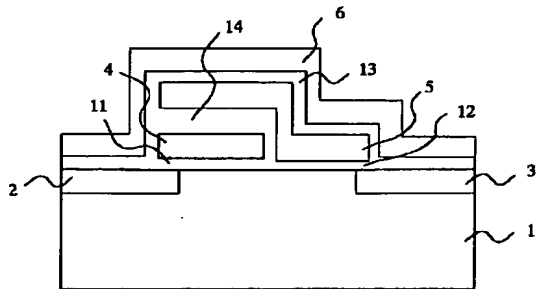
- 11 ソース側チャネル領域上のゲート絶縁膜
- 12 ドレイン側チャネル領域上のゲート絶縁膜
- 13 インターポリ絶縁膜
- 14 絶縁膜
- 15 フィールド酸化膜
- 16 ソース拡散領域上の絶縁膜
- 17 ドレイン拡散層上の絶縁膜

- 17
- 18 絶縁膜サイドウォール  
19 ポリシリコン側壁酸化膜  
21 コンタクトホール

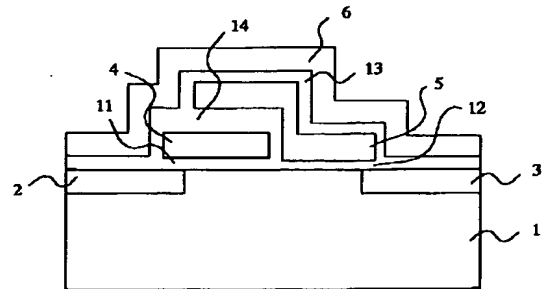
- 18
- \* 22 ソースライン  
23 ドレインライン

\*

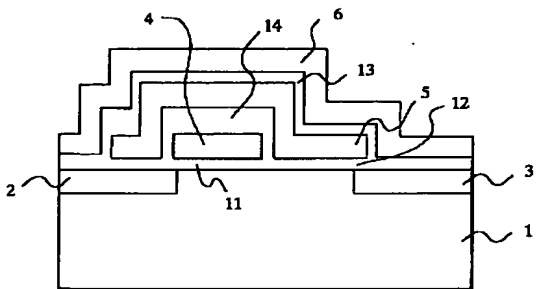
【図 1】



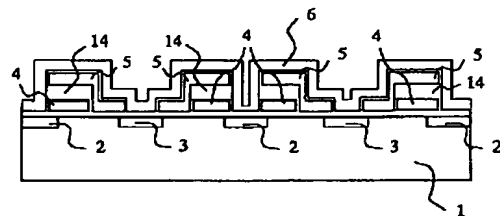
【図 2】



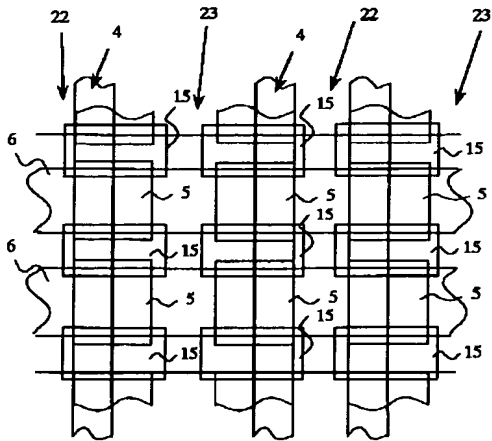
【図 3】



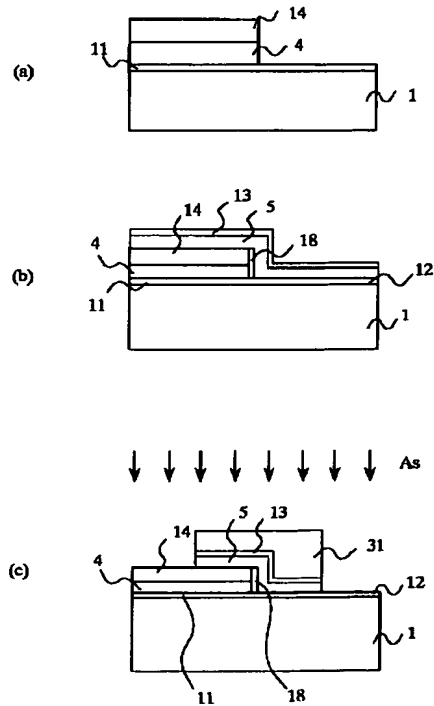
【図 4】



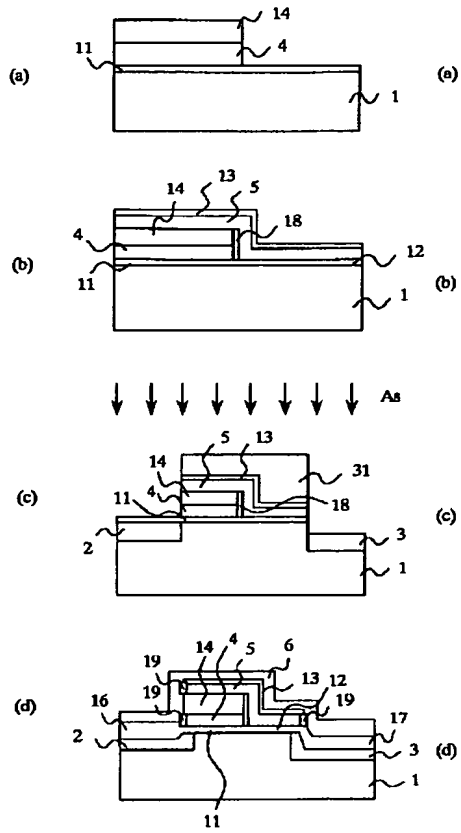
【図 5】



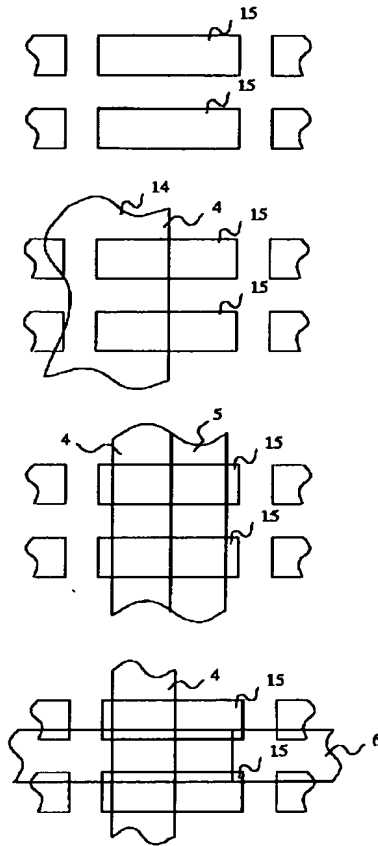
【図 8】



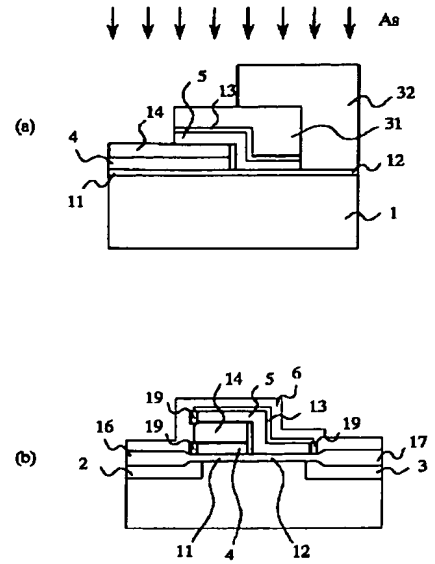
【図6】



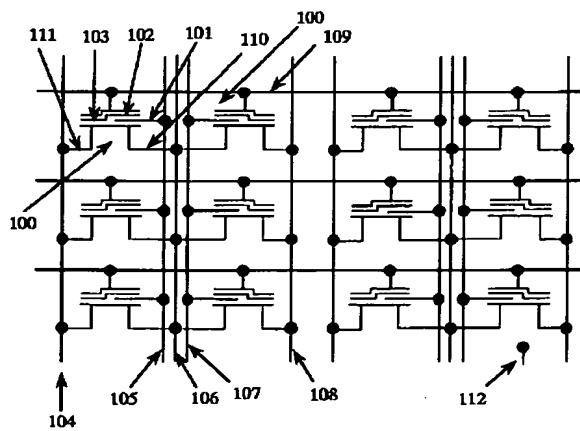
【図7】



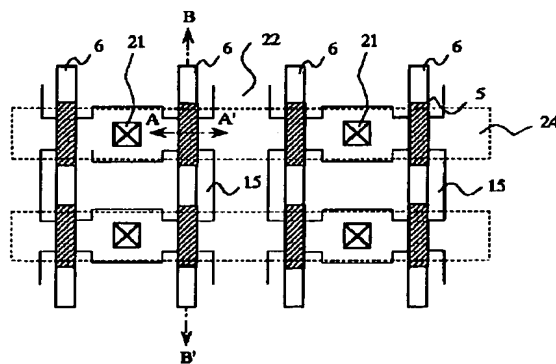
【図9】



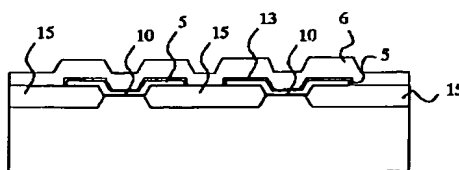
【図10】



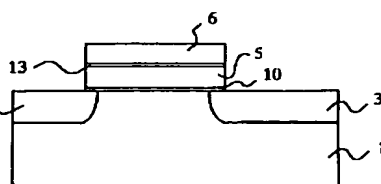
【図11】



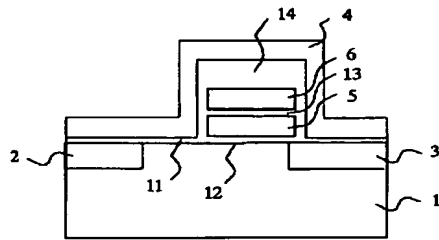
【図12】



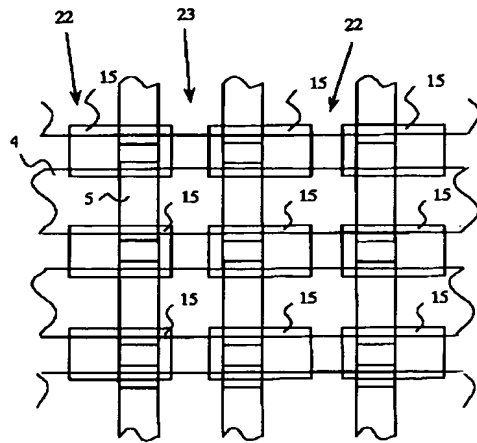
【図13】



【図 1 4】



【図 1 5】



フロントページの続き

(51) Int. Cl. 6

H 0 1 L 27/115

識別記号

庁内整理番号

F I

技術表示箇所